

**PAT-NO:** **JP410242471A**

**DOCUMENT-IDENTIFIER:** **JP 10242471 A**

**TITLE:** **THIN-FILM TRANSISTOR AND ITS MANUFACTURE**

**PUBN-DATE:** **September 11, 1998**

**INVENTOR-INFORMATION:**

**NAME**

**TANABE, HIROSHI**

**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
<b>NEC CORP</b>	<b>N/A</b>

**APPL-NO:** **JP09047874**

**APPL-DATE:** **March 3, 1997**

**INT-CL (IPC):** **H01L029/786, H01L021/336**

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** **To prevent a gate leakage which is caused by the step at the end part of an island and to prevent the disconnection of an interconnection in a thin-film transistor which is formed at a low temperature.**

**SOLUTION:** **A first insulating film 5 arranged at the upper part of a silicon layer which comprises a drain region 3, a source region 4 and a channel region 2 and which is formed to be an island on a substrate is made smaller than**

the silicon layer. Thereby, the steepness at the edge end part of the island is relieved, and the coverage of a second gate insulating film 6 is enhanced. Thereby, it is possible to largely reduce the probability of causing a gate leakage. In addition, since the film thickness of a peripheral part is smaller than the film thickness at the upper part in the central part of the channel, it is possible to reduce a probability that the disconnection of an upper-part gate interconnection. In addition, when the permittivity of the second gate insulating film is made large, a field effect which is equivalent to that in conventional cases is obtained even when its film thickness is made larger, and a process yield can be enhanced.

**COPYRIGHT: (C)1998,JPO**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-242471

(43)公開日 平成10年(1998)9月11日

(51)Int.Cl.<sup>6</sup>

H01L 29/786  
21/336

識別記号

F I

H01L 29/78

617S  
617V

審査請求 有 請求項の数 8 OL (全 11 頁)

(21)出願番号

特願平9-47874

(22)出願日

平成9年(1997)3月3日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 田邊 浩

東京都港区芝五丁目7番1号 日本電気株  
式会社内

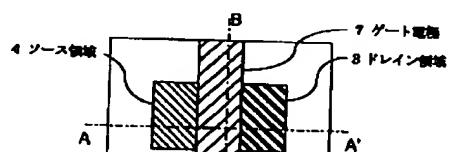
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 薄膜トランジスタおよびその製造方法

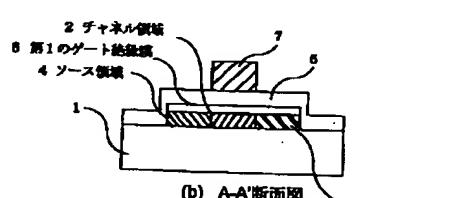
(57)【要約】

【課題】 低温形成薄膜トランジスタにおけるアイランド端部の段差によって発生するゲートリーク、配線の断線を防止する。

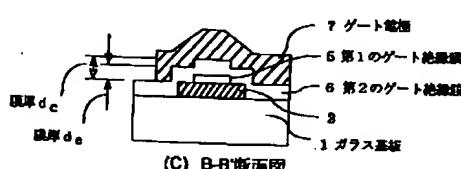
【解決手段】 基板上にソースドレイン(3, 4)、チャネル(2)から成るアイランド化されたシリコン層の上部に配置された第1の絶縁膜(5)をシリコン層よりも小さくすることで、アイランドエッジ端部の急峻さを緩和し第2のゲート絶縁膜(6)による被覆性を向上させる。本発明によりゲートリークの発生確率を大きく低減することができる。さらに周辺部の膜厚が、チャネル中心部上部の膜厚よりも小さいために、上部ゲート配線の断線が発生する確率の低減も可能である。さらに、第2の絶縁膜の誘電率を大きくすることで、より膜厚を大きくしても従来と同等の電界効果が得られ、プロセス歩留まりが向上する。



(a) 上面図



(b) A-A'断面図



(c) B-B'断面図

## 【特許請求の範囲】

【請求項1】絶縁体上に島状に形成された半導体層、その半導体層を覆うゲート絶縁膜、そのゲート絶縁膜上のゲート電極とからなる薄膜トランジスタにおいて、少なくとも前記ゲート電極下の前記ゲート絶縁膜の膜厚が前記半導体層の端部よりも中央部の方が厚いことを特徴とする薄膜トランジスタ。

【請求項2】絶縁体上に島状に形成された半導体層、その半導体層を覆うゲート絶縁膜、そのゲート絶縁膜上のゲート電極とからなる薄膜トランジスタにおいて、

前記ゲート絶縁膜が前記半導体層と同様な島状に形成された第1の絶縁膜と、前記島状に形成された半導体層及び第1の絶縁膜層とからなる段差形状を被覆するように形成された第2の絶縁膜とからなり、第1の絶縁膜厚 $d_1$ と第2の絶縁膜厚 $d_2$ とが

$$d_1 < d_2$$

の関係にあることを特徴とする薄膜トランジスタ。

【請求項3】前記半導体層厚 $d_{si}$ 、前記第1の絶縁膜厚 $d_1$ と前記第2の絶縁膜厚 $d_2$ とが

$$d_{si} + d_1 < d_2$$

の関係にあることを特徴とする請求項2記載の薄膜トランジスタ。

【請求項4】ゲート絶縁膜が2種以上の材料の積層構造となっており、半導体との界面を形成する絶縁膜層の誘電率が、その層を除く他の絶縁膜を構成する他の材料の誘電率よりも小さいことを特徴とする請求項1ないし3のいずれかに記載の薄膜トランジスタ。

【請求項5】第1の絶縁膜材料が二酸化シリコン膜、他の絶縁膜を構成する材料の少なくとも一つが塗化シリコン膜であることを特徴とする請求項4記載の薄膜トランジスタ。

【請求項6】少なくともその一平面が絶縁体である基板の絶縁体上に、半導体薄膜を形成する工程と、前記半導体薄膜上に第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜を少なくともゲート電極の横切る方向で薄膜トランジスタのチャネル、ソースドレイン領域となる領域の幅よりも狭く残してエッチングする工程と、前記半導体薄膜を薄膜トランジスタのチャネル、ソースドレイン領域となる領域を残してエッチングする工程と、前記第1のゲート絶縁膜および前記半導体薄膜を覆う第2のゲート絶縁膜を形成する工程と、この第2の絶縁膜上にゲート電極を形成する工程とを有することを特徴とする薄膜トランジスタの製造方法。

【請求項7】少なくともその一平面が絶縁体である基板の絶縁体上に、半導体薄膜を形成する工程と、前記半導体薄膜上に第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜および前記半導体薄膜を薄膜トランジスタのチャネル、ソースドレイン領域となる領域を残してエッチングする工程と、前記第1のゲート絶縁膜を形成する工程と、前記半導体薄膜を覆う第2のゲート絶縁膜を形成す

る工程と、この第2の絶縁膜上にゲート電極を形成する工程とを有し、前記第1のゲート絶縁膜と、前記半導体薄膜のエッチング速度が、

第1のゲート絶縁膜のエッチング速度>半導体薄膜のエッチング速度

であることを特徴とする薄膜トランジスタの製造方法。

【請求項8】前記半導体薄膜上に前記ゲート絶縁膜の少なくとも一層を形成した後に、レーザ照射することを特徴とする請求項6または7記載の薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】アクティブマトリックス液晶ディスプレイパネル、密着型イメージセンサ等の入出力装置、携帯機器等に用いる薄膜トランジスタおよびその製造方法に関する。

## 【0002】

【従来の技術】ガラス基板上に薄膜トランジスタ(TFT)を形成する代表的な技術として、水素化アモルファ

20 半導体TFT技術及び、多結晶シリコンTFT技術が挙げられる。前者は作製プロセス最高温度300℃程度であり、移動度 $1\text{cm}^2/\text{Vsec}$ 程度のキャリア移動度を実現している。後者は、例えば石英基板を用いた1000度程度のLSIと類似した高温プロセスを用いることで、キャリア移動度 $30\sim 100\text{cm}^2/\text{Vsec}$ の性能を容易に得ることができる。

【0003】ところが、多結晶シリコンTFT技術において、上述のような高温プロセスを用いる場合、前者のプロセスで用いることができる安価な低軟化点ガラスを用いることができない。そこで多結晶シリコンTFTプロセスの温度低減には、レーザ結晶化技術、ゲート絶縁膜の低温形成技術、及び低温での良好な絶縁膜-シリコン界面形成技術が必要となる。それらを解決する手段の一つとして、アイイーイーエレクトロンデバイスレターズ第15巻第2号第69項(IEEE ELECTRON DEVICE LETTERS, Vol.15, No.2, page 69), 記載の“High performance poly-crystalline silicon thin film transistors fabricated using remote plasma CVD of Si O<sub>2</sub>”, (M. Sekiya, et al.)では、低温での良好な絶縁膜-シリコン界面を形成することができるシリコン膜のレーザ結晶化法と二酸化シリコン膜のリモートプラズマCVD法を複合化した装置および製造方法を提案している。エキシマレーザ結晶化によって形成された高品質ポリシリコン薄膜を大気にさらすことなく、そのポリシリコン薄膜上にゲート絶縁膜を形成し、界面の清浄度を保ち、低温での良好な絶縁膜-シリコン界面を維持しようというものである。この内で多結晶シリコンTFTの作製方法として、以下のようなプロセスフローを報告している。ソースドレイン層(膜厚20nm)を島状に形成した後、シリコン(20nm)層を形成する。次にレーザ結

40 30 40 50 50

晶化、レーザ結晶化直後の水素処理、さらに第1の絶縁膜 ( $\text{SiO}_2$  100nm) の成膜を連続して行なう。こうすることにより低温での良好な絶縁膜-シリコン界面が得られるというものである。この後シリコン層を島状にパターニングする。ここで第2の絶縁膜 (100nm) をさらに形成してシリコン-電極間分離を図るという方法を提案している。

【0004】ところが、液晶ディスプレイや、イメージセンサなどの低消費電力化・低電圧駆動化に伴い、界面の清浄化による駆動能力の向上ばかりでなくTFTの動作しきい電圧の低減が必要となっている。動作しきい電圧の低電圧化にはゲート絶縁膜の薄膜化が有効であり、これらの手法をプレーナ型薄膜トランジスタに応用した場合を、図9を用いて説明する。図9(a)はその上面図、(b)はそのA-A'断面図、(c)はそのB-B'断面図である。ソースドレイン領域(3, 4)及びチャネル領域(2)を形成する半導体層上に、前記半導体層と連続的に形成、島状にパターニングされた第1の絶縁膜(2)が配置され、さらにその半導体層及び第1の絶縁膜層からなる島を覆うように形成された第2の絶縁膜(6)及びゲート電極(7)が配置される。ここで、前述のごとくしきい電圧の低減を図るために、2層からなるゲート絶縁膜(5, 6)の膜厚の和をより薄くする必要が生じる。容量が増大し、低電圧でも十分な電界効果が得られるためである。一方、半導体層はイオン注入等による不純物の導入や、レーザ結晶化時のプロセスマージンの確保のためには、ゲート絶縁膜などの薄膜化は困難である。したがって、上述のようにしきい電圧の低減を図るためにゲート酸化膜厚を薄くすると、半導体層と第1のゲート絶縁膜との段差に比べて第2のゲート絶縁膜が薄くなり被覆性が悪くなる。このため、ゲート-ソース・ドレイン間の短絡(ゲートリーク)が発生しやすいという問題があった。

#### 【0005】

【発明が解決しようとする課題】このような問題を解決する手段として、特開平6-85258号公報において以下のような方法が開示されている。すなわち、図10に示すように絶縁基板11上に島状に形成した半導体膜12とこの島状の半導体膜上に形成した第1の絶縁膜13とからなる島状部分の周囲の段差を覆って第2の絶縁膜21を形成し、この第2の絶縁膜で囲まれた前記第1の絶縁膜13上にゲート電極14を形成したことにより、半導体膜12とゲート電極14とが完全に絶縁され、半導体膜とゲート電極間すなわち、ゲート-ソース・ドレイン間の短絡(ゲートリーク)の発生を防止するというものである。このような構造を実現するために、第2の絶縁膜21を全面に被覆した後に、島状部分の上部のみ選択的にエッチングする必要がある。すなわち、第2の絶縁膜21は第1の絶縁膜13に対し選択的にエッチング可能な材料、もしくは選択的にエッチング

可能なエッティング方法が要求される。特にスループットや性能の向上を狙って第1の絶縁膜13をより薄膜化する場合、非常に高いエッティング選択比が要求され、ゲート絶縁膜または絶縁膜半導体界面へのアラズマダメージのないドライエッティング法などが要求される。

【0006】また特開平6-61490号公報には、2層絶縁膜を用い電極間の絶縁性を確保する方法として各層の厚さやその断面形状の最適化、及び薄膜トランジスタの性能確保のために必要な高誘電体薄膜を用いることの2層化に関する従来技術が開示されている。すなわち、図11に示すように、段差となるゲート電極(1013a, b)を被覆する第1の絶縁膜(1014a)の形状によらず、第2の絶縁膜形状(1014b)を最適化することにより、絶縁性・信頼性の高い絶縁構造を提供するものである。また、下部電極となるゲート金属を酸化タンクステンで被覆した後、水素化アモルファスシリコンと良好なMIS界面を形成できるチッ化シリコン膜を形成した後、水素化アモルファスシリコン膜及び、ソースドレイン層を形成するというものである。本公報

20 に示すような2層絶縁膜による段差被覆法は、配線や半導体層のみからなる段差を被覆するには有効である。しかし、前述の半導体層及び第1のゲート絶縁膜からなる段差を被覆するための第2の絶縁膜についての知見はほとんど与えてくれない。

【0007】本発明の目的は、構造設計、作製プロセスにおける薄膜材料の選択の自由度を増し、かつ高い均一性、再現性を要求されるドライエッティング工程を必要としない薄膜トランジスタ構造、およびその製造方法を提供し、低温プロセスにおいてもMOS界面特性の良好な薄膜トランジスタを提供することにある。また、過度のプロセス数の増加をすることなく、絶縁性の高いMOS構造を提供し、低しきい電圧駆動が可能なTFTを実用的なプロセスによって提供することにある。

#### 【0008】

【課題を解決するための手段】絶縁体上に島状に形成された半導体層、ゲート絶縁膜、ゲート電極とからなり、前記半導体層がチャネル領域、ソース領域、ドレイン領域とから構成される薄膜トランジスタにおいて、図1、図2に示すように、少なくともゲート電極が横切るB-B'方向のゲート絶縁膜の幅が、シリコンチャネル領域より小さいゲート絶縁膜を形成した後、その上から再度ゲート絶縁膜を被覆する。これにより少なくとも前記ゲート電極下の前記ゲート絶縁膜の膜厚が前記半導体層の端部よりも中央部の方が厚いことを特徴とする薄膜トランジスタを得ることができる。

【0009】したがって、本発明の薄膜トランジスタは IEEE ELECTRON DEVICE LETTERS, Vol.15, No.2, page 6 9, High performance poly-crystalline silicon thin film transistors fabricated using remote plasma CVD of  $\text{SiO}_2$ , (M. Sekiya, et al.)に記載のような、良好な

絶縁膜-シリコン界面が形成できるとともに、特開平6-85258号公報において開示されている段差被覆法を探ることなく、簡単にゲートリーク電流の抑制を図ることができるものである。すなわち、島状の半導体層端部の急峻さを緩和することができるため、この部分でのゲートリークを防止することができる。

【0010】さらに、絶縁体上に島状に形成された半導体層、ゲート絶縁膜、ゲート電極とからなる薄膜トランジスタにおいて、前記ゲート絶縁膜が前記半導体層と同様な島状に形成された第1の絶縁膜と、前記島状に形成された半導体層及び第1の絶縁膜層とからなる段差形状を被覆するように形成された第2の絶縁膜とからなり、第1の絶縁膜厚d<sub>1</sub>と第2の絶縁膜厚d<sub>2</sub>とが

$$d_1 < d_2$$

の関係にあることを特徴とすることにより、薄膜トランジスタのゲートリーク電流をより再現性よく抑制することが可能である。

【0011】さらに、前記半導体層厚d<sub>si</sub>、前記第1の絶縁膜厚d<sub>1</sub>と前記第2の絶縁膜厚d<sub>2</sub>とが

$$d_{si} + d_1 < d_2$$

の関係にあることを特徴とすることによっても、薄膜トランジスタのゲートリーク電流をより再現性よく抑制することが可能である。

【0012】また、ゲート絶縁膜を2種以上の材料の積層構造とし、半導体との界面を形成する第1の絶縁膜層の誘電率に比べ、第2の絶縁膜を構成する材料の誘電率を大きくすることによって、第2の絶縁膜厚を大きくした場合においても、ゲートへの印加電圧を上げることなく、従来と同様のドレイン電流を得ることが可能になる。特に、第1の絶縁膜材料が二酸化シリコン膜、第2の絶縁膜を構成する材料の一つが窒化シリコン膜であることを特徴とする薄膜トランジスタは、第2の絶縁膜を二酸化シリコンとした場合に比べ、性能を低下させることなく第2の絶縁膜厚を大きくとることができるために、ゲートリークを抑制可能となる。

【0013】また、本発明の薄膜トランジスタの製造方法は、少なくともその一平面が絶縁体である基板の絶縁体上に、半導体薄膜を形成する工程と、前記半導体薄膜上に第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜を少なくともゲート電極の横切る方向で薄膜トランジスタのチャネル、ソースドレイン領域となる領域の幅よりも狭く残してエッチングする工程と、前記半導体薄膜を薄膜トランジスタのチャネル、ソースドレイン領域となる領域を残してエッチングする工程と、前記第1のゲート絶縁膜および前記半導体薄膜を覆う第2のゲート絶縁膜を形成する工程と、この第2の絶縁膜上にゲート電極を形成する工程とを有することを特徴とする。これにより請求項1記載の薄膜トランジスタを得ることができる。

【0014】また、請求項1に係る発明の薄膜トランジ

10

スタの他の製造方法は、少なくともその一平面が絶縁体である基板の絶縁体上に、半導体薄膜を形成する工程と、前記半導体薄膜上に第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜および前記半導体薄膜を薄膜トランジスタのチャネル、ソースドレイン領域となる領域を残してエッチングする工程と、前記第1のゲート絶縁膜および前記半導体薄膜を覆う第2のゲート絶縁膜を形成する工程と、この第2の絶縁膜上にゲート電極を形成する工程とを有し、前記第1のゲート絶縁膜と、前記半導体薄膜のエッチング速度が、

第1のゲート絶縁膜のエッチング速度>半導体薄膜のエッチング速度であることを特徴とする。

【0015】ここで、前記半導体薄膜上に前記ゲート絶縁膜の少なくとも一層を形成した後に、レーザ照射することで、半導体薄膜と半導体薄膜上に形成されたゲート絶縁膜の一部とが、同時にレーザ照射されることにより、ゲート絶縁膜形成前にレーザ照射をする方法に比べ、半導体-絶縁膜界面へのレーザの吸収により発生する熱により、界面の熱処理が可能となるため、良好な界面を形成することができる。

【0016】

#### 【発明の実施の形態】

(実施形態1) 図1は請求項1にかかる発明の実施の形態を表す(a)上面図、(b)A-A'断面図、(c)B-B'断面図である。図1に示す薄膜トランジスタは、絶縁体であるガラス基板1上に、ソース領域4、ドレイン領域3、チャネル領域2からなるシリコン層が島状に形成されている。その上に形成されている第1のゲート絶縁膜5はこのシリコン層のソース、ドレイン方向すなわちA-A'方向の幅がシリコン層と同じで、ゲート電極の横切っている方向すなわちB-B'方向の幅がシリコン層よりも狭くなっている。第2のゲート絶縁膜6は、これらシリコン層と第1のゲート絶縁膜5を覆うように形成され、この第2のゲート絶縁膜6の上にゲート電極7が形成される。このように形成することで図1(c)に示すように、シリコン層端部の膜厚d<sub>5</sub>よりも中央部の膜厚d<sub>6</sub>の方が厚くなり、島状のシリコン層端部の急峻さを緩和することができる。このため第2のゲート絶縁膜6の段差被覆性が良くなり、ゲート電極とシリコン層とのリーキがなくなる。

40

【0017】このとき第1、第2のゲート絶縁膜には二酸化シリコン、窒化シリコン、酸化アルミニウム、酸化タンタル等を用いることができる。特に、第1のゲート絶縁膜に二酸化シリコンを用い、第2のゲート絶縁膜に窒化シリコンを用いるとよい。というのは、シリコン層とゲート絶縁膜の界面は二酸化シリコンが他の材料に比べ優れていることが知られており、窒化シリコンは二酸化シリコンよりも誘電率が高いためゲート絶縁膜の極度の薄膜化を実施することなく所望のMOS容量を得ること

とが可能になり、その結果、薄膜トランジスタ動作時のしきい値の低減が可能になるからである。

【0018】なお、本発明の薄膜トランジスタは、シリコンチャネル領域または第1のゲート絶縁膜の断面形状における側面が基板材料面にたいし90度よりも小さい角度で交わる、いわゆるテーパ形状を有する事も可能である。

【0019】次に、この薄膜トランジスタの製造方法を図5を用いて説明する。

【0020】図5(a)～(g)は図1(a)のA-A'断面から見た工程図であり、図5(h)～(j)は図1(a)のB-B'断面から見た工程図を示す。絶縁体であるガラス基板1(これはCVDまたはスパッタで形成された酸化シリコン膜または窒化シリコン膜がオーバーコートされていることが望ましい)上に、アモルファスシリコン膜502をLPCVD法により50nm堆積したのち二酸化シリコン膜503を20nm堆積する。そこで、二酸化シリコン膜503を通して、KrFエキシマレーザを照射し多結晶シリコン膜を形成する。多結晶シリコン膜の形成方法は、XeCl、XeFエキシマレーザまたはYAGレーザ照射による方法が可能である。次に、2回のフォトリソグラフィとエッティング工程により図5(d)及び(h)に示すような構造を形成する。まず、所望の二酸化シリコン膜形状を得るためにレジストパターンを形成し、二酸化シリコン膜をバーニングする。このとき、エッティングガスとしてCF<sub>4</sub>を10sccm、CHF<sub>3</sub>を40sccm流し、平行平板型のRFアラズマエッティング装置により、投入電力400W、ガス圧6Paの条件でエッティングを行った。この条件では多結晶シリコン膜に比べ二酸化シリコン膜のエッティング速度が20倍以上になるため、二酸化シリコン膜のみ選択的にエッティングすることができる。次に多結晶シリコン膜の形状を得るためにレジストパターンを形成し、再度ドライエッティングを行うことで、図5(d)及び(h)に示すような構造を得ることができる。多結晶シリコン膜のエッティング時には、CF<sub>4</sub> 142sccm、酸素7sccm、20Pa、300Wの条件でエッティングした。この条件は、上部二酸化シリコン膜および下部ガラス基板に対する選択比10以上を実現できる。

【0021】再度二酸化シリコン膜504を80nm、ゲート電極としてAl/n<sup>+</sup>Si(505)を形成する。ここまで図1に示す構造が形成できる。次に、ゲート電極のバーニングに併せてゲート絶縁膜を除去し、露出したシリコン層に所望の不純物、例えばリンもしくはボロンを自己整合的にイオン注入する。不純物の注入手段としては、質量分離を行うことなく水素を同時に注入するイオンドーピング法を用いることも可能である。不純物の活性化は再度レーザを照射、もしくは600°C程度の熱処理で行うことができる。さらに、層間絶縁膜506、コンタクトホールを形成しA1で電極配線507

を形成する。

【0022】パルスレーザ照射時には、シリコン薄膜の溶融再結晶化プロセスを経るため、不純物に対しては通常の半導体プロセスと同様の注意が必要である。シリコン-絶縁膜界面を形成した後にレーザ結晶化を行うことにより、清浄な界面を保ったまま結晶化が可能になるとという利点を有する。また、シリコン層上部に二酸化シリコン層を形成した後レーザ結晶化を行うことで、基板界面及び上部二酸化シリコン界面双方が結晶化時の核形成サイトとして働き、粒径のそろった均一性の高い多結晶薄膜を得られる。この効果は、レーザ照射強度変化に対し粒径変化の小さい多結晶シリコン薄膜を得るために有効である。

【0023】(実施形態2) 図2は請求項1の第2の形態を表す(a)上面図、(b)A-A'断面図、(c)B-B'である。図2に示す薄膜トランジスタは、絶縁体であるガラス基板1上に、島状に形成されたソース領域4、ドレイン領域3、チャネル領域2からなるシリコン層、第1のゲート絶縁膜5、第2のゲート絶縁膜6、ゲート電極7とから構成される。前記チャネル領域、ゲート絶縁膜、ゲート電極は、いわゆる金属-絶縁体-半導体構造を形成しているため、ゲート電極への印加電圧を制御することによりドレイン電流を制御することができる。このとき第1、第2のゲート絶縁膜には二酸化シリコン、窒化シリコン、酸化アルミニウム、酸化タンタル等を用いることができる。図2(b)及び(c)に示すように、シリコンチャネル領域に比べ第1のゲート絶縁膜の幅、長さを小さくし、その上から第2のゲート絶縁膜を形成することにより、前記島状に形成されたシリコン層端部の内側近傍上面におけるゲート絶縁膜厚d<sub>e</sub>と、前記島状に形成されたシリコン層の一部である薄膜トランジスタのチャネル中心部、その上面における絶縁膜厚d<sub>c</sub>とが

$$d_e < d_c$$

の関係にある薄膜トランジスタを形成できる。

【0024】図2(b)及び(c)に示すような、シリコンチャネル領域に比べ第1のゲート絶縁膜の幅、長さが小さい構造をとるために以下のようない方法をとることもできる。絶縁体であるガラス基板1上に、ソース領域4、ドレイン領域3、チャネル領域2を有するシリコン層、第1のゲート絶縁膜5を堆積し、シリコン層を所望のサイズに形成すべくレジストパターンをフォトリソグラフィにより形成する。次に、エッティングによりレジストパターンを反映した島状のシリコン/絶縁膜積層構造を得る。このときエッティング条件として

$$(シリコン膜のエッティングレート) < (ゲート絶縁膜のエッティングレート)$$

となるような条件を選ぶことにより、シリコンチャネル領域に比べ第1のゲート絶縁膜の幅、長さが小さい構造が実現される。

【0025】以下に、この薄膜トランジスタの製造方法を図6を用いて説明する。図6(a)～(g)は図2(a)のA-A'断面から見た工程図であり、図6(h)～(j)は図2(a)のB-B'断面から見た工程図を示す。絶縁体であるガラス基板1(これはCVDまたはスパッタで形成された酸化シリコン膜、窒化シリコン膜がオーバーコートされていることが望ましい)上に、アモルファスシリコン膜をLPCVD法により75nm堆積したのち、KrFエキシマレーザを照射し多結晶シリコン膜502を形成する。多結晶シリコン膜の形成方法は、XeCl、XeFエキシマレーザ照射による方法や、固相成長法によることも可能である。また、前記のごとくレーザ結晶化工程を経て形成される多結晶シリコン薄膜は、レーザ結晶化時の照射強度条件によりその表面凹凸が大きくなることが知られている。本発明の効果を確認するに当たり、前記表面凹凸が小さくなり、表面からのゲートリーク電流が発生しない条件:すなわち低照射強度条件下での比較を併せてすべく、レーザ照射強度は150～350mJ/cm<sup>2</sup>の範囲で行った。次に、二酸化シリコン膜503を10nm堆積する。フォトリソグラフィとエッティング工程により図6(d)に示すような構造を形成した。このとき、エッティングガスとしてCF<sub>4</sub>を25sccm、CHF<sub>3</sub>を25sccm流し、平行平板型のRFプラズマエッティング装置により、投入電力400W、ガス圧6Paの条件でエッティングを行った。この条件下では、CF<sub>4</sub>分圧によって、シリコン層のエッティングレートにたいする2酸化シリコン膜のエッティングレートが変化する。本実施例ではエッティングレート比がSiO<sub>2</sub>/Si=5/1の条件を用いている。再度二酸化シリコン膜504を30nm、ゲート電極としてA1/n<sup>+</sup>Si(505)を形成する。この段階で図2に示す構造が得られる。次に、ゲート電極のバターニングに併せてゲート絶縁膜を除去し、露出したシリコン層に所望の不純物、例えばリンもしくはボロンを自己整合的にイオン注入する。不純物の注入手段としては、水素を同時に注入するイオンドーピング法を用いることも可能である。不純物の活性化は再度レーザを照射、もしくは600℃程度の熱処理で行うことができる。さらに、層間絶縁膜506、コンタクトホールを形成しA1で電極配線507を形成する。

【0026】このような方法でチャネル長/幅=10/10ミクロンの薄膜トランジスタを作製した。それぞれの寸法はシリコン層の厚さ:75nm、チャネル幅10μm、第1の絶縁膜として2酸化シリコン膜の膜厚10nm、幅8μm、第2の絶縁膜として2酸化シリコン膜厚さ30nmである。従って、ソース領域からドレイン領域への方向に位置するチャネル領域を含む端部の内側近傍上面におけるゲート絶縁膜厚は30nm(=d<sub>0</sub>)、前記島状に形成されたシリコン層の一部である薄膜トランジスタのチャネル中心部、その上面における絶縁膜厚は450

0nm(=d<sub>c</sub>)である薄膜トランジスタとなる。このときのゲート電圧ードレイン電流特性を図7に示す。一方、従来の方法で作成した薄膜トランジスタ(チャネル長/幅=10/10ミクロン、シリコン層の厚さ:75nm、チャネル幅10μm、第1の絶縁膜として2酸化シリコン膜の膜厚10nm、幅10μm、第2の絶縁膜として2酸化シリコン膜厚さ30nm)においては図8に示すようなゲート電圧ードレイン電流特性が得られた。ともに、実線がn-ch TFT、p-ch TFTのゲート電圧ードレイン電流特性、点線がn-ch TFTのゲートリーク電流、破線がp-ch TFTのゲートリーク電流を示している。図7、図8から明らかなように、本発明の構造ではゲートリーク電流が抑制され、良好なトランジスタ特性を示すことが示されている。さらにすでに述べたとおり、本発明の効果を確認するに当たり、前記表面凹凸が小さく、表面からのゲートリーク電流が発生しない条件:すなわち低照射強度条件下での比較を併せてすべく、レーザ照射強度は150～350mJ/cm<sup>2</sup>の範囲で行った。図に示されたTFT特性のばらつきはこのレーザ照射強度の相違によるものである。レーザ照射強度によらず、リーク電流の差が図7、図8において顕著であることから本発明の効果が確認できた。

【0027】なお、上記実施形態2では、平行平板型のRFプラズマエッティング装置により、エッティングレート比がSiO<sub>2</sub>/Si=5/1の条件でエッティングしているが、第1のゲート絶縁膜のエッティング速度>半導体薄膜のエッティング速度であれば、どのようなエッティング方法を用いてもよいことは言うまでもない。

【0028】(実施形態3)次に、請求項2の実施の形態を図3を用いて以下に述べる。図3は請求項2の実施の形態を表す(a)上面図、(b)A-A'断面図、(c)B-B'である。図3に示す薄膜トランジスタは、絶縁体であるガラス基板1上に、島状に形成されたソース領域4、ドレイン領域3、チャネル領域2からなるシリコン層、第1のゲート絶縁膜5、第2のゲート絶縁膜6、ゲート電極7とから構成される。前記チャネル領域、ゲート絶縁膜、ゲート電極は、いわゆる金属-絶縁体-半導体構造を形成しているため、ゲート電極への印加電圧を制御することによりドレイン電流を制御することができる。このとき第1、第2のゲート絶縁膜には二酸化シリコン、窒化シリコン、酸化アルミニウム、酸化タンタル等を用いることができる。図3(c)に示すように、第1のゲート絶縁膜厚d<sub>1</sub>よりも第2のゲート絶縁膜厚d<sub>2</sub>を厚く形成した。このような構造をとることにより、チャネル領域を形成するシリコン層と第1のゲート絶縁膜から形成された段差を信頼性良く被覆することができる。本実施例においては、図3(b)に示すような断面図を用いて述べたが、薄膜トランジス

11

タの製造工程において、ゲート電極に被覆されない領域に存在する絶縁膜層が除去されても、本発明の本質とは変わることはない。

【0029】(実施形態4) 請求項2の発明をより発展させたものが請求項3にかかる発明である。図4に請求項3に係る発明の実施形態の断面図を示す。ガラス基板1上に島状に形成されたソース領域、ドレイン領域、チャネル領域2からなるシリコン層、第1のゲート絶縁膜5、第2のゲート絶縁膜6、ゲート電極7とから構成される。このときシリコン層厚 $d_{Si}$ 、第1の絶縁膜厚 $d_1$ と第2の絶縁膜厚 $d_2$ とが

$$d_{Si} + d_1 < d_2$$

を満たすことにより、段差に起因したリーク電流の発生をより防止可能になる。またこの構造は、請求項4、請求項5に記述したような誘電率の異なる材料を積層した場合に効果が生じる。すなわち誘電率の高い材料を用いて同様のMOS容量を得るために、膜厚を厚くする必要があるためである。言い換えれば、誘電率の高い材料を用いることで、ゲート絶縁膜の極度の薄膜化を実施することなく所望のMOS容量を得ることが可能になり、その結果、薄膜トランジスタ動作時のしきい値の低減が可能になる。

#### 【0030】

【発明の効果】本発明により、良好なシリコン-絶縁膜界面を300°C程度の低温で形成すると共に、ゲートリークの発生、ゲート電極層の断線が防止される。その結果、信頼性の高い高性能薄膜トランジスタを提供することが可能になった。

【0031】また、本発明の薄膜トランジスタの製造方法により、材料選択、作製プロセスの自由度が増し、簡単に高性能薄膜トランジスタを得ることが可能になつ

12  
た。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態1を示す図。

【図2】本発明の実施の形態2を示す図。

【図3】本発明の実施の形態3を示す図。

【図4】本発明の実施の形態4を示す図。

【図5】本発明の薄膜トランジスタの製造方法を示す行程図。

10 【図6】本発明の薄膜トランジスタの製造方法を示す行程図。

【図7】本発明の薄膜トランジスタのゲート電圧対ドレン電流特性図。

【図8】従来例の薄膜トランジスタのゲート電圧対ドレン電流特性図。

【図9】従来例を示す図。

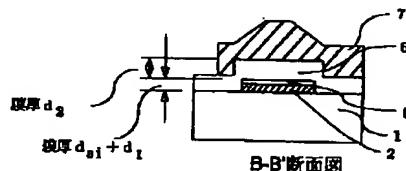
【図10】従来例を示す図。

【図11】従来例を示す図。

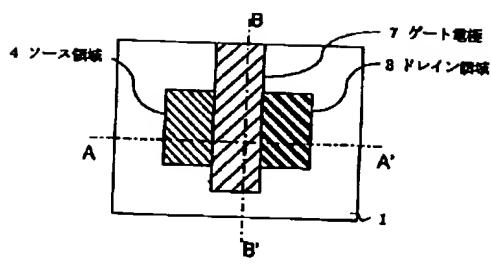
#### 【符号の説明】

1	ガラス基板
2	チャネル領域
3	ドレイン領域
4	ソース領域
5	第1の絶縁膜
6	第2の絶縁膜
7	ゲート電極
502	シリコン膜
503	第1のゲート絶縁膜
504	第2のゲート絶縁膜
505	ゲート電極
506	層間絶縁膜
507	配線金属

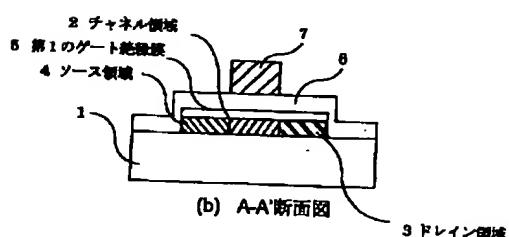
【図4】



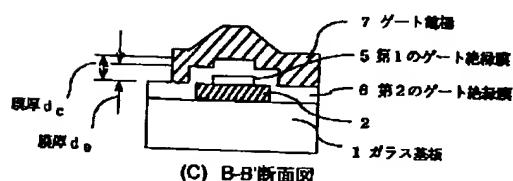
【図1】



(a) 上面図

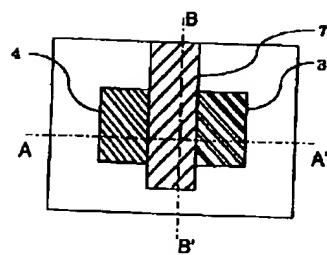


(b) A-A'断面図

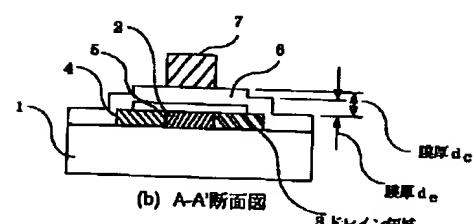


(C) B-B'断面図

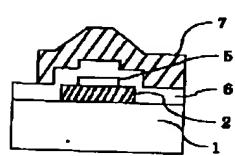
【図2】



(a) 上面図

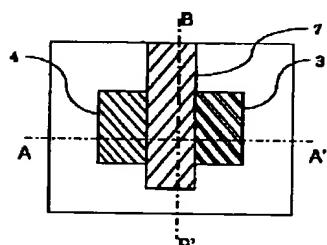


(b) A-A'断面図

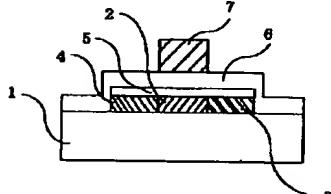


(C) B-B'断面図

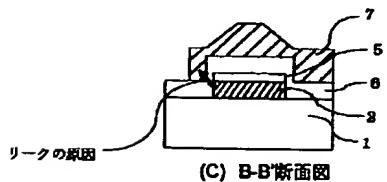
【図9】



(a) 上面図

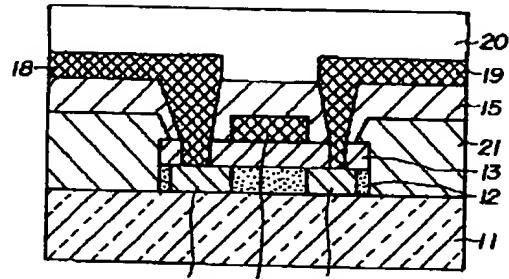


(b) A-A'断面図



(C) B-B'断面図

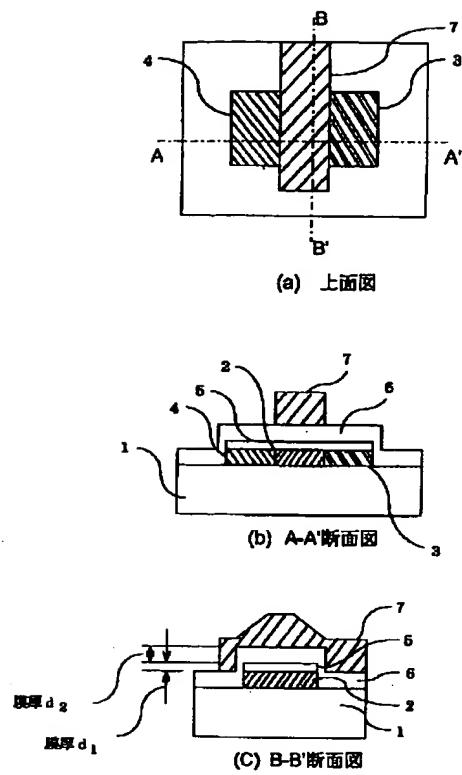
【図10】



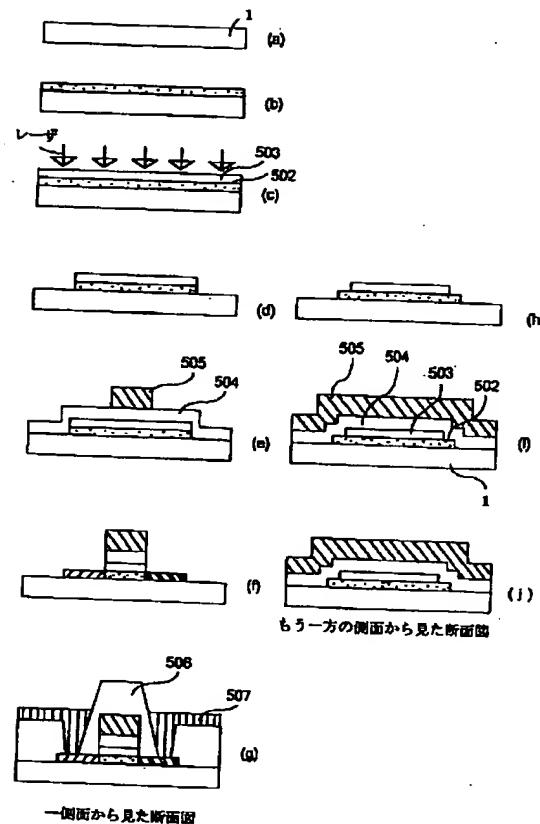
11 拡縫基板  
 12 非単結晶半導体膜  
 13 第1の絶縁膜  
 14 ゲート電極  
 15 硅酸塩絶縁膜  
 16 ソース拡散層  
 17 ドレイン拡散層  
 18 ソース電極  
 19 ドレイン電極  
 20 パンペーション膜  
 21 第2の絶縁膜

リークの原因

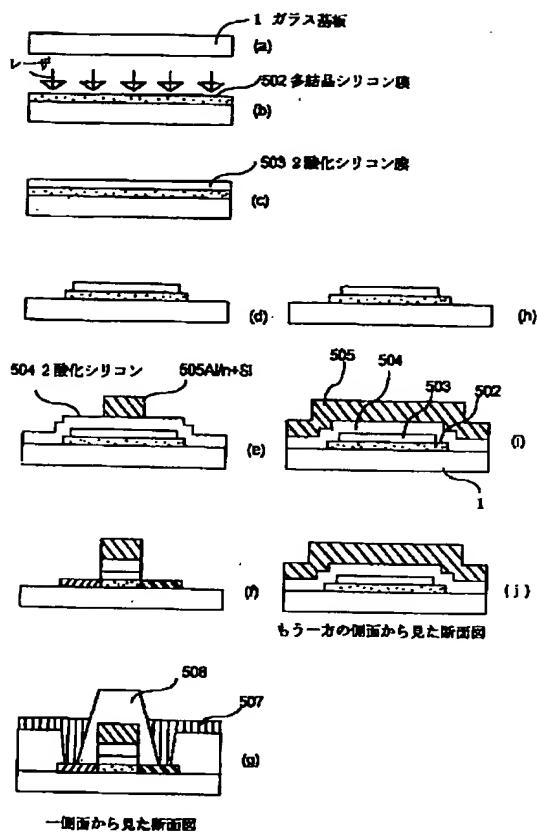
【図3】



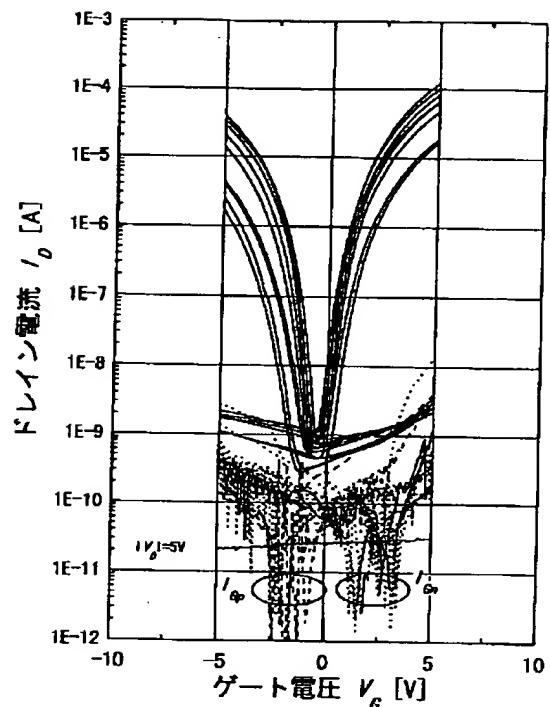
【図5】



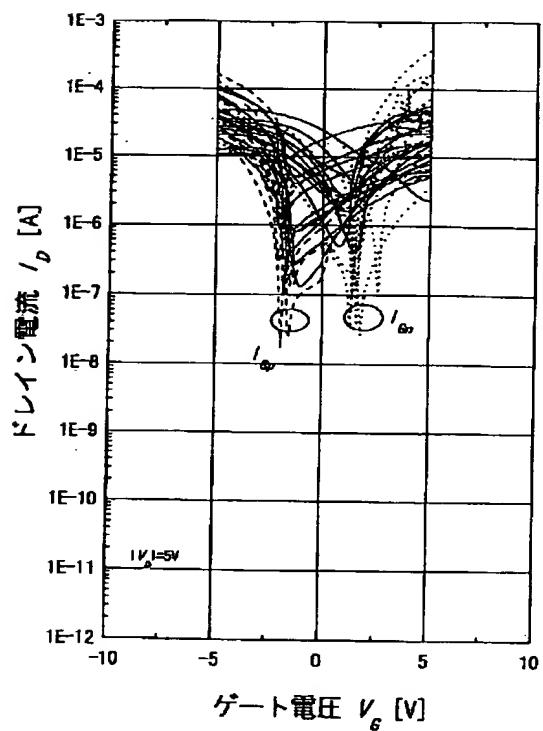
【図6】



【図7】



【図8】



【図11】

